

基于 DP83640 的以太网时钟同步方法设计

孙建鹏¹, 刘欣², 洪应平¹, 何鑫¹, 熊继军¹

(1. 中北大学仪器科学与动态测试教育部重点实验室, 山西太原 030051;
2. 北方自动控制技术研究所, 山西太原 030006)

摘要: 针对当下以太网在军事、工业等领域中的定时同步能力不足, 精度不高的问题, 设计一种高精度时钟同步协议的高可信的时钟同步接口电路。目前主流的精度最高的是 IEEE1588 精确时钟同步协议; 深入研究分析 IEEE1588 协议的最佳主时钟算法和主从时钟同步原理, 提出了基于 DP83640 的以太网时钟同步方法, 提供了一种在物理层加盖时间戳在以太网中实现高精度时钟同步的方案, 阐述主从时钟软件对时流程, 对主从时钟同步精度进行测试验证, 可达到亚微秒级的时钟同步精度。

关键词: 时钟同步; IEEE1588 协议; DP83640; 以太网

中图分类号: TP393 **文献标识码:** A **文章编号:** 0372-2112 (2021)05-1033-08

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.12263/DZXB.20200962

Design of Ethernet Clock Synchronization Method Based on DP83640

SUN Jian-peng¹, LIU Xin², HONG Ying-ping¹, HE Xin¹, XIONG Ji-jun¹

(1. Key Laboratory of Instrumental Science and Dynamic Testing, Ministry of Education, North University of China, Taiyuan, Shanxi 030051 China;
2. North Institute of Automatic Control Technology, Taiyuan, Shanxi 030006, China)

Abstract: Aiming at the problem of insufficient timing synchronization capability and low accuracy of Ethernet in the military, industrial and other fields at present, a highly reliable clock synchronization interface circuit with a high-precision clock synchronization protocol is designed. The current mainstream with the highest precision is the IEEE1588 precision clock synchronization protocol; In-depth study and analysis of the best master clock algorithm and master-slave clock synchronization principle of the IEEE1588 protocol, proposed an ethernet clock synchronization method based on DP83640, provides a solution for stamping time stamps at the physical layer to achieve high-precision clock synchronization in ethernet, explain the master-slave clock software time synchronization process, test and verify the synchronization accuracy of master-slave clocks, which can achieve sub-microsecond clock synchronization accuracy.

Key words: clock synchronization; IEEE1588 protocol; DP83640; ethernet

1 引言

目前, 电力系统、航天系统等环境中时钟同步存在精度不高、维修性差、稳定性不足等问题。当下以太网实现时钟同步的协议主要有 NTP、SNTP 以及 IEEE1588 协议。但是 NTP、SNTP 协议同步精度只能达到 ms 级别, 其原因是它只是运行于 IP 和 UDP 协议之上的应用层协议, 纯粹基于软件实现, 受到网络环境和实现的限制^[1]。IEEE 1588 PTP 协议可以在以太网介质中提供精确的时间同步, 目前最新的版本是 IEEE 1588v2。其主要是通过软硬件配合, 记录同步时钟信息的发出时间和接收时间, 并且给每一条信息加上时间标签, 从而实

现网络上的时钟同步^[2,3]。

本文主要进行了基于 IEEE1588v2 协议的时间同步系统的设计, 并将该协议成功运用于片上系统 STM32F407, 实现一主多从的时间同步算法并提出了基于 DP83640 的以太网时钟同步实现方法, 实现主从时钟同步精度达到亚微秒级。

2 时钟同步算法

对于一个系统而言, 可能有众多的时钟节点, 那么必须找到一个最准确的时钟, 作为整个系统的精确时钟源^[4]。这个时钟称为主时钟, 与主时钟同步的时钟称为从时钟。根据系统中各节点上的时钟精度、级别和时

间的可追溯性等特性,由最佳主时钟算法 BMC (best master clock algorithm) 来自动选择各子域内的主时钟^[5],根据报文传送所获得的时间戳计算出网络中各个设备的与主时钟的时间差,实现与主时钟的同步.

2.1 主从时钟同步原理

IEEE1588 协议的核心思想就是利用最佳主时钟算法选出一个时间基准,然后把包含时钟信息以同步报文的形式传输^[6].同步原理如图 1 所示.协议通过连续性的交换信息报文来计算主、从时钟之间的时间偏移量(t_{offset})与网络时延(t_{delay}).

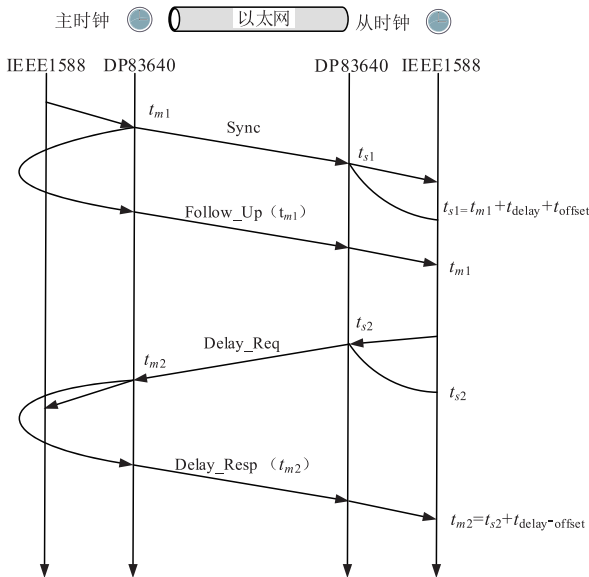


图1 DP83640硬件辅助的IEEE1588同步原理

主时钟向从时钟发送 Sync 信息报文.经主时钟的 DP83640 物理层时打上时间戳标记 t_1 ,从时钟接收到 Sync 报文,在从时钟的 DP83640 物理层上打上时间戳标记 t_2 ^[7].主时钟将 t_1 时间从 DP83640 的相关寄存器读取出来,然后把它写入到 Follow_up 报文里,发送给从时钟,从时钟接收到该报文并读取时间戳 t_1 .那么通过计算式(1)就可以得到从时钟相对于主时钟的时间偏移量.

$$t_{offset} = (t_2 - t_1) - t_{delay} \quad (1)$$

完成了上述时间偏移量的纠正后,应该分析和计算主、从时钟间网络时延对时间同步精度的影响^[8].根据计算式(2)得到网络时延并将其作为更正信息通过加减调整更新机制纠正从时钟的 IEEE1588 时间,从而实现与主时钟时间同步的目的^[9-11].

$$t_{delay} = \frac{(t_{s1} - t_{m1}) + (t_{m2} - t_{s2})}{2} \quad (2)$$

2.2 最佳主时钟算法

最佳时钟算法由两种组成:数据集比较算法和状态决定算法.

而这两种算法进行计算所需要的信息主要来自两部分:时钟端口的默认数据集 D0 和时钟端口接收到的 Sync 报文中包含的信息^[12].

(1)数据集比较算法,决定两个时钟端口哪个更优,从而决定时钟端口的状态.

数据集比较算法是最佳主时钟算法的基础,其过程比较复杂,需掌握好其比较内容的先后次序及各结果的流向^[13].算法流程如图 2 所示,一个局域网内所有的潜在主时钟都会运行最佳主时钟算法,两两相比较.首先比较两个时钟的优先级,如果优先级相同则比较两个时钟的时钟类型,如果时钟类型相同则继续比较两个时钟的精度,如果两个时钟的精度还相同,就比较两个时钟的时钟稳定性,如果时钟稳定性也相同,就比较两个时钟的 ID,选择两个时钟的数字较小者为最优主时钟^[14,15].这样就可以从多个潜在主时钟中选出一个最优的主时钟,而且系统内所有时钟的最佳主时钟算法相同,每个时钟计算得到的最佳主时钟相同.

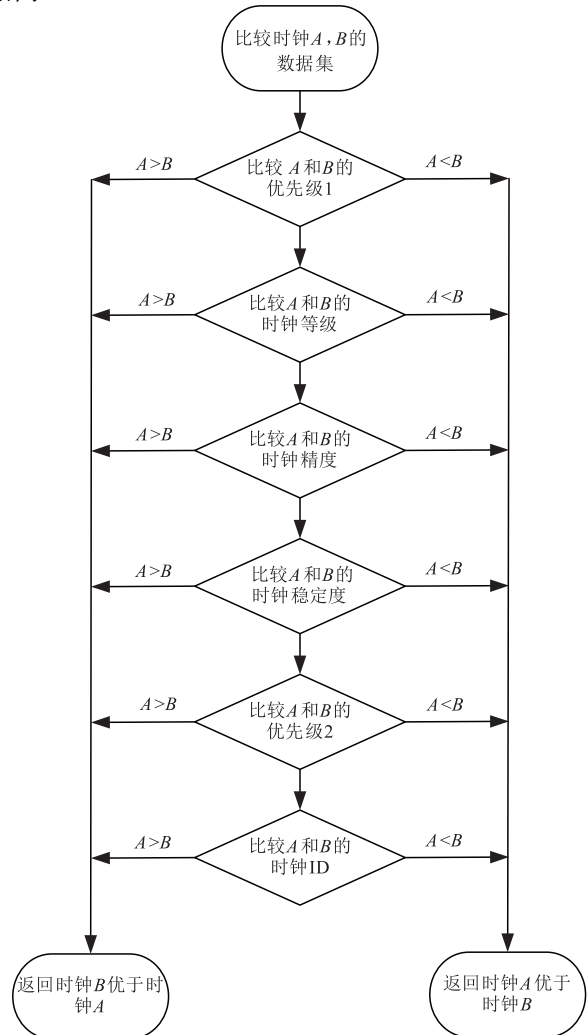


图2 数据集比较算法

(2) 状态决定算法:在数据集比较算法的基础上来决定本地时钟端口的状态。

在 IEEE1588 标准中,时钟的等级值分为 0、1、2、3、4 和 255 共 6 个等级供用户使用,数值越大时钟的等级越低,属性越差,其中等级 1、2 的时钟在标准中被推荐为标

准的参考时间源,而等级 255 的时钟只能作为从时钟^[16]。

如图 3 所示,状态决定算法首先判断的是时钟 C0 是否是系统推荐的时间源. 然后根据时钟 C0 的等级,通过调用数据集比较算法来比较 $D0$ 、 E_{rbest} 和 E_{best} 之间的相互关系,从而判断 PTP 子域内时钟端口的状态^[17]。

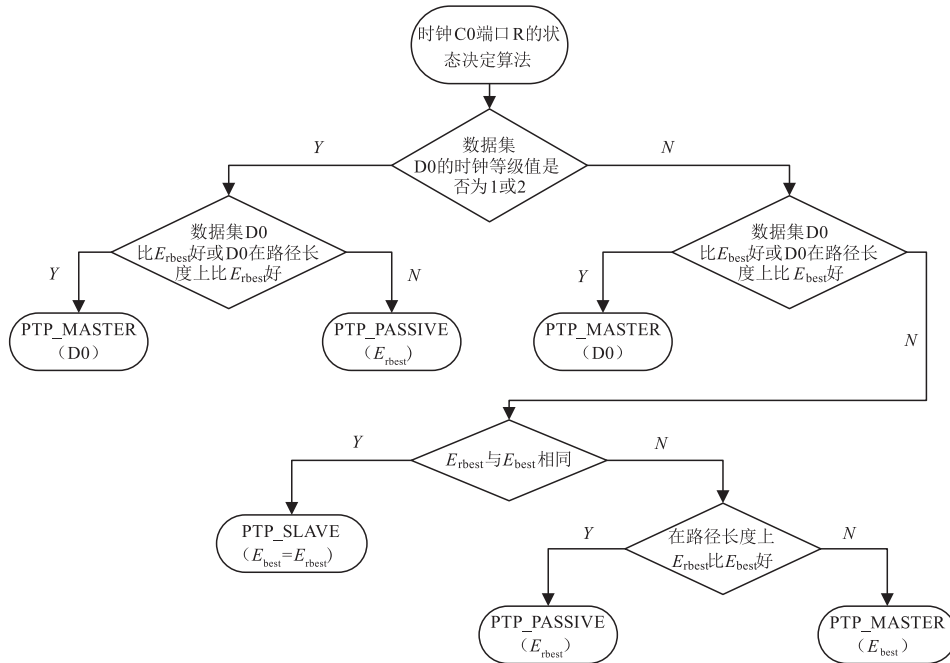


图3 状态决定算法

3 时钟同步硬件设计

3.1 硬件系统构架

采用如图 4 所示的硬件构架,在总体设计上,目前采用一主多从的系统设计,从网络传输的角度看,主机为服务端,从机为客户端,两者建立连接以完成以太网传输层数据收发;从时间同步的角度来看,主机即主时钟,从机即从时钟,主从时钟之间需要通过基于 PTP 同步帧的数据收发来完成从机与主机的时间对准. 下位机程序的整体运行于 RTOS 操作系统,内部通过 LWIP 协议栈完成 PTP 时间同步帧的发送接收^[18]. 硬件平台选择由德州仪器公司生产的具备打时间戳功能的网络通信芯片 DP83640,主控芯片选择由意法半导体公司开发的微控制器 STM32F407VGT6,搭建出硬件实验平台. 其中 STM32F407 负责支持 PTP 时钟同步相关算法的运行,包括最佳主时钟算法,主从时钟同步算法等,网络通信芯片 DP83640 负责将网络报文信号转换为控制器可识别的物理信号。

本文以 STM32F407 内部硬件 ETH 外设提供与 DP83640 物理连接(RMII 接口)及 MAC 层;LWIP 协议栈提供数据链路层、网络层、传输层软件构建. 对于 DP83640 的时间同步寄存器控制,本文采用 MDIO 接口

完成对 DP83640 寄存器读写,并在此基础上抽象出 PTP 协议控制层,完成时间戳读写,以太网口配置,时钟相位调整等多种时间同步相关的基础工作。

3.2 DP83640 接口设计

DP83640 是德州仪器集成 IEEE1588 精确时间协议(PTP)硬件支持功能的以太网收发器,可在物理层对 PTP 同步消息加盖时间戳. DP83640 可以通过标准的以太网来实现高精度的时间同步,可在用以太网连接的 IEEE1588 精密时间协议(PTP)系统之间实现非常精确的同步. 采用这种特性,便可工作在要求的网络拓扑约束内,实现 PTP 应用达到次纳秒级的主从同步精度。

DP83640 的硬件控制电路模块结构如图 5 所示: MAC 与 PHY 之间采用 RMII 接口进行连接, RMII (Reduced Media Independent Interface) 简化媒体独立接口,是 IEEE802. 3u 标准中除 MII 接口之外的另一种实现. RMII 接口比 MII 接口有更少的 I/O 传输. 在数据的收发上它比 MII 接口少了一半的信号线^[19]. RMII 一般不是每个端口安排收、发两个时钟,而是所有的数据端口公用一个时钟用于所有端口的收发. RMII 的一个端口要求 7 个数据线,比 MII 少了一半,所以交换机能够接入多一倍数据的端口。

RMII 具有以下特性:

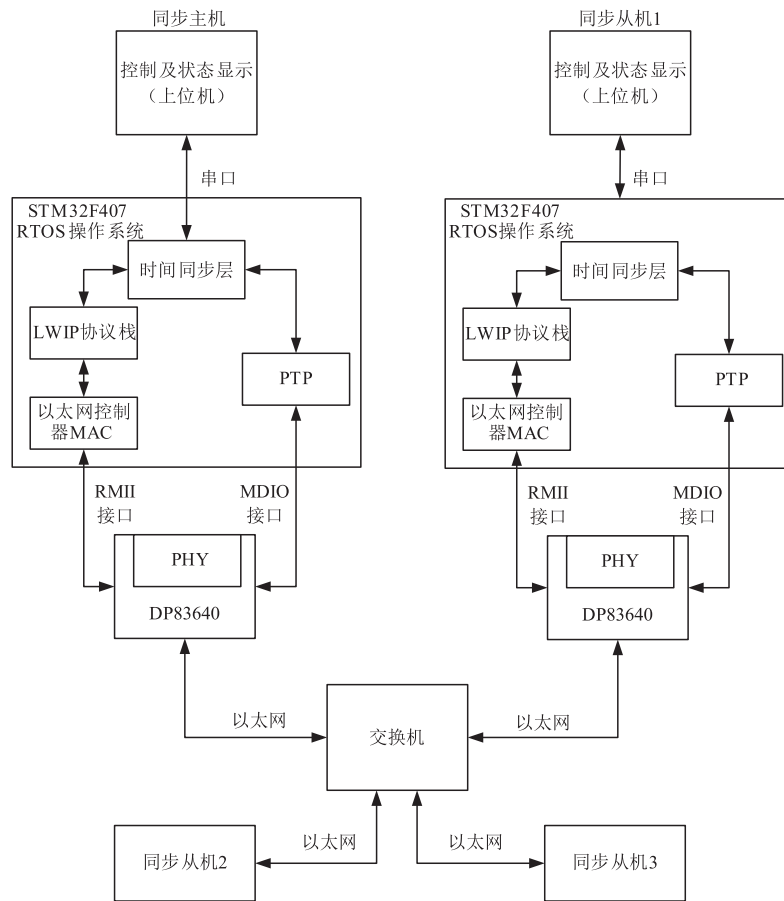


图4 硬件系统构架

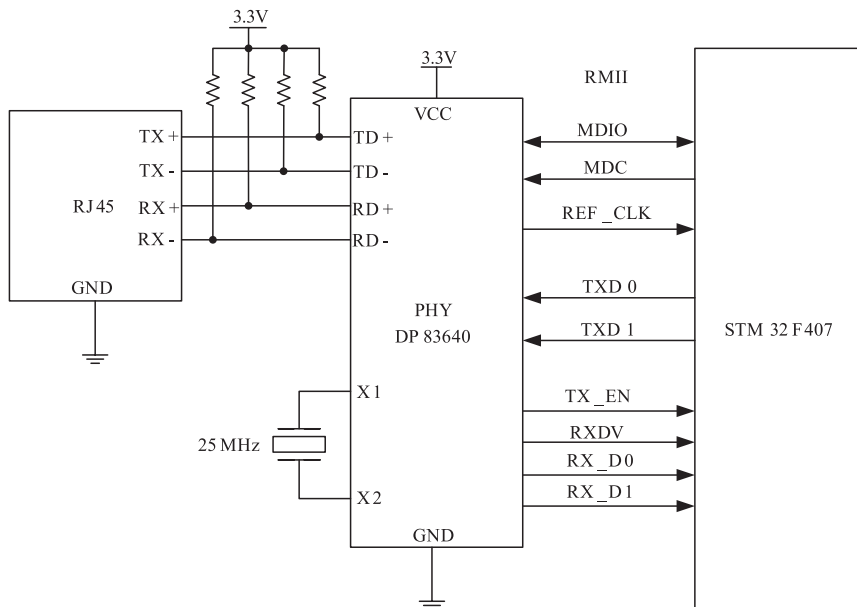


图5 基于DP83640时钟同步硬件电路模块结构图

时钟信号需要提高到 50MHz；
 最高支持 100M 的总线接口速度；
 CRS 和 RX_DV 信号合并；

取消接收端口 RX 的参考时钟, TX 和 RX 共用；
 使用 2 位宽度的数据收发。

4 时钟同步软件设计

4.1 主程序流程图

STM32F407 运行程序的整体流程如下图 6 所示。下位机程序的整体运行于 RTOS 操作系统,内部通过 LWIP 协议栈完成 PTP 时间同步帧的发送接收,同时,DP83640 的初始化分为两个部分:以太网接口的初始化和 PTP 协议相关内容的初始化,两部分内容都通过 MDIO 配置 DP83640 相关寄存器完成。

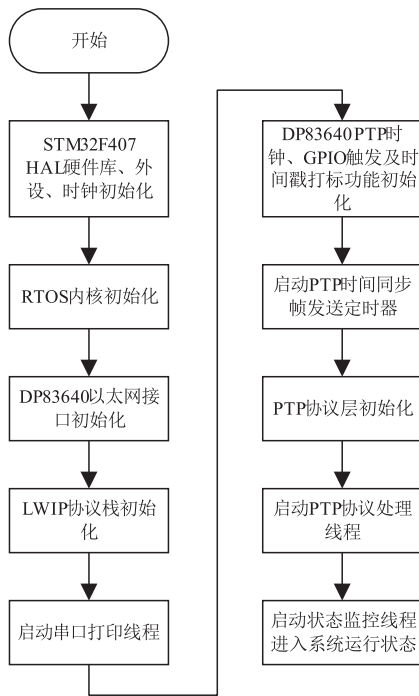


图6 主程序流程图

对于 DP83640 的以太网接口的初始化,包括获取以太网接口初始状态、调整以太网工作模式为 100Mb/s、MAC 接口配置为 RMII。对于 PTP 协议相关内容的初始化,包括使能 PTP 时钟、配置 DP83640 时钟为内部时钟(125MHz,分频系数为 250)、使能时钟输出、使能 UDP/IPv4 的 Sync 同步帧发送时间戳标记、使能 UDP/IPv4 的时间戳接收事件触发、基于单个 GPIO 事件对 DP83640 内部时钟进行初始的相位调整。

当上述工作完成后,下位机开始对 PTP 协议进行初始化,配置 PTP 运行的具体细节,包括主从时钟分配、主时钟发送 Sync、Announce 帧的时间间隔并开启相关定时器、配置 PTP 运行状态机的初始状态。在此之后,下位机创建 PTP 处理线程,该线程通过运行一个具

有多个状态的状态机,并通过 UDP 数据帧接收触发和上述定时器触发两种方式来运行状态机的状态切换和时间同步。

4.2 基于 RTOS 的实时操作系统搭建

在本设计中,下位机 STM32F407 采用 Free RTOS 操作系统。Free RTOS 是一个嵌入式系统通常会使用的实时操作系统。采用嵌入式实时操作系统(RTOS)可以更合理、更有效地利用 CPU 的资源,简化应用软件的设计,缩短系统开发时间,更好地保证系统的实时性和可靠性。

Free RTOS 提供的功能包括:任务管理、时间管理、信号量、消息队列、内存管理、记录功能等,可基本满足较小系统的需要。Free RTOS 内核支持优先级调度算法,每个任务可根据重要程度的不同被赋予一定的优先级,CPU 总是让处于就绪态的、优先级最高的任务先运行^[20]。Free RTOS 内核同时支持轮换调度算法,系统允许不同的任务使用相同的优先级,在没有更高优先级任务就绪的情况下,同一优先级的任务共享 CPU 的使用时间。

根据各模块调用,可将该操作系统调用 API 按照如图 7 所示树形结构进行分类。

4.3 DP83640 时间戳标记功能配置

DP83640 可以识别 Sync 和 Delay_Req 同步帧,并在发送同步帧的同时修改报文的时间戳域。该功能可以在以太网物理层给 Sync 和 Delay_Req 帧打上时间戳,从而消除在链路层、网络层、传输层上组帧的时间延时,极大地提升时间同步的精度。该功能配置主要与 PTP_TX_CFG0 寄存器有关,该寄存器主要位内容如图 8 所示。

该寄存器的打时间戳位定义如下。

Bit15: Sync 同步帧 onestep 模式使能,该位若为 1 则在 Sync 帧中打入发送的时间戳。

Bit13: 使能 Delay_Req 同步帧的发送时间戳标记功能。

Bit11: 该位若为 1,在 twostep 模式下,将强制打入时间戳。

Bit0: 使能发送时间戳标记。

5 测试及分析

为了验证时钟同步算法主从时钟的同步结果,将主从时钟模块通过六类网线连接搭建测试平台,如图 9 所示。上位机与 STM32 通过串口传输数据,主从时钟通过交换机相连。运行最佳主时钟算法,选择出最优主时钟。

按照表 1 的测试条件进行测试。

表 1 测试条件

网线长度/m	网络速/Mbps	参考频率源 /MHz	时钟输出频率/MHz	PTP 同步间隔 /s	温度/°C
1	100	Onboard 25M crystal oscillator	10	1	25

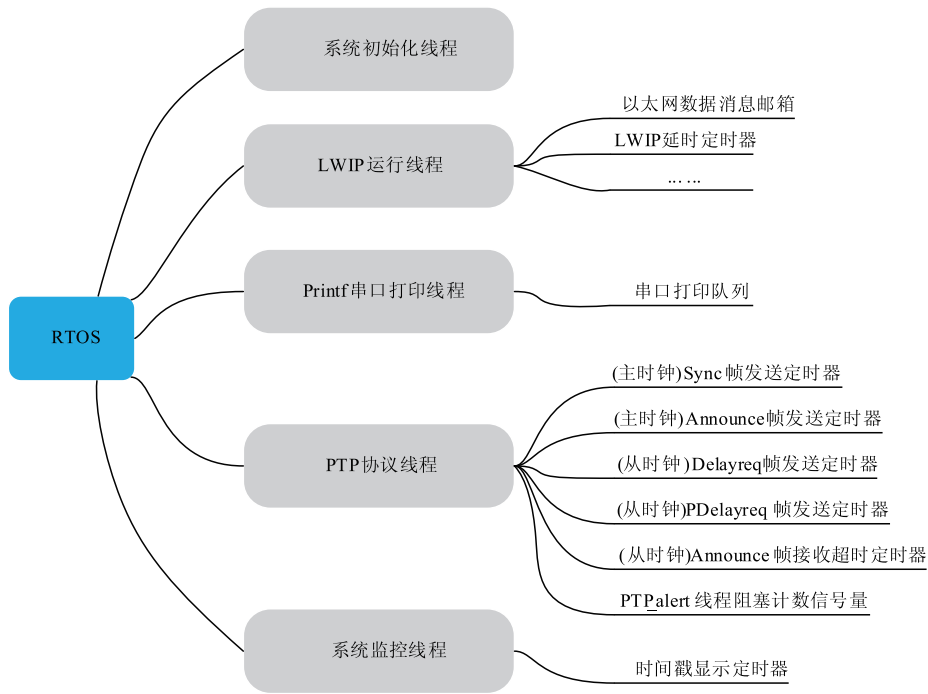


图7 RTOS操作系统调用API

5.6.1.6.3 PTP Transmit Configuration Register 0 (PTP_TXCFG0), Page 5
 This register provides configuration for IEEE 1588 Transmit Timestamp operation.

Table 5-62. PTP Transmit Configuration Register 0 (PTP_TXCFG0), Address 0x16x

BIT	BIT NAME	DEFAULT	DESCRIPTION
15	SYNC_1STEP	0, RW	Sync Message One-Step Enable: Enable automatic insertion of timestamp into transmit Sync Messages. Device will automatically parse message and insert the timestamp in the correct location. UPD checksum and CRC fields will be regenerated.
13	DR_INSERT	0, RW	Insert Delay_Req Timestamp in Delay_Resp: If this bit is set to a 1, the device insert the timestamp for transmitted Delay_Req messages into inbound Delay_Resp messages. The most recent timestamp will be used for any inbound Delay_Resp message. The receive timestamp insertion logic must be enabled through the PTP Receive Configuration Registers.
11	IGNORE_2STEP	0, RW	Ignore Two_Step flag for One-Step operation: If this bit is set to a 0, the device will not insert a timestamp if the Two_Step bit is set in the flags field of the PTP header. If this bit is set to 1, the device will insert a timestamp independent of the setting of the Two_Step flag.
0	TX_TS_EN	0, RW	Transmit Timestamp Enable: Enable Timestamp capture for Transmit.

图8 DP83640时间戳标记功能配置寄存器

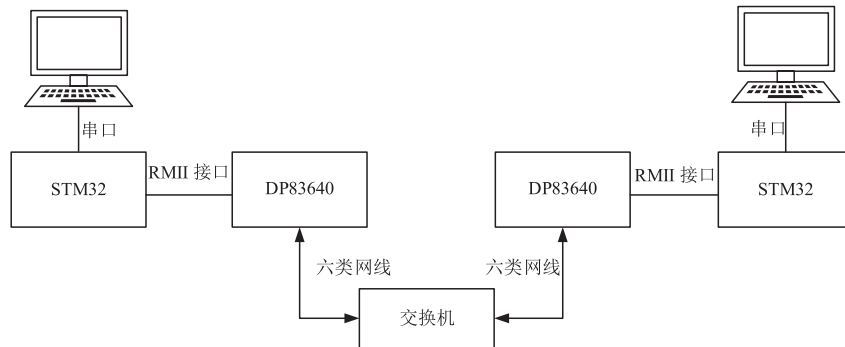


图9 测试平台搭建

DP83640 有专门的寄存器 (PTP_TXTS、PTP_RXTS) 可以存储发送和接受到的时间戳. 为了方便记录观察, 系统每 1s 进行一次主从时钟同步, 系统监控线程以 1s 周期访问 DP83640 本地时间寄存器, 通过串口在上位机记录显示. 将采集到的数据绘制成运行曲线图如图 10 所示, 可以观察到 1274 个采样点的主从时钟偏差基本上都在 500ns 内. 图 11 所示为采样 1341 时钟同步偏差点绘制的曲线, 为了方便观察, 绘制图 12 所示的时间偏差分布直方图, 通过直方图可以很直观地观察到 1341 个采样点的时钟偏差分布, 基本稳定在 500ns 以内.

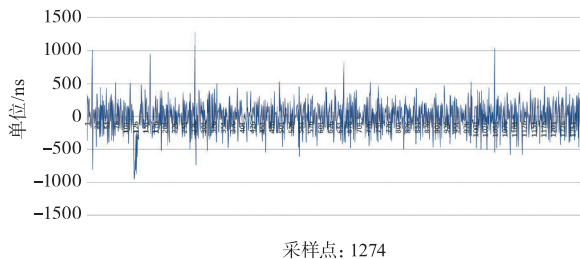


图10 同步系统稳定后主从时间偏差值运行曲线

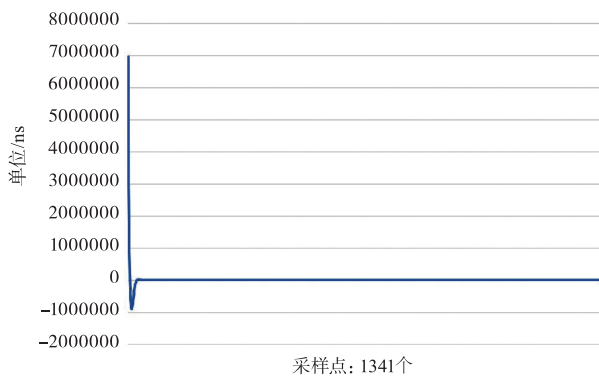


图11 多次同步主从时间偏差值运行曲线

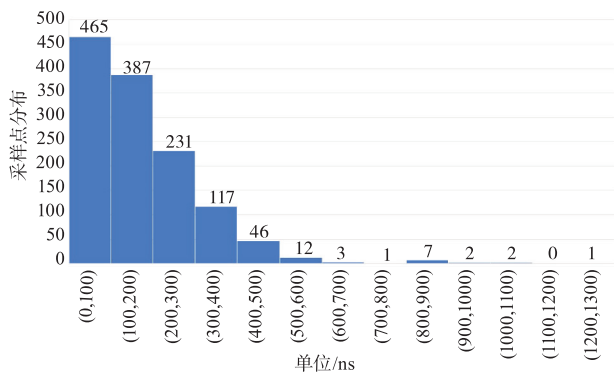


图12 时间偏差分布直方图(排除图11中前67个未稳定的数据)

6 结论

本文针对当前时钟同步精度不足的问题, 设计了一种高精度时钟同步接口电路, 实现了时钟同步算法设计. 由测试结果表明, 本文所设计的系统实现了

IEEE1588 精密时钟同步协议, 且实现了主从时钟同步精度在亚微秒级, 可以稳定得控制在 500ns 以内. 满足大多数对于时间精度要求高的测控系统.

参考文献

- [1] 王晋祺, 陈鸿. 基于 ARM 的 IEEE 1588 精密时钟同步协议实现[J]. 电子器件, 2019, 42(6): 1527 - 1531.
Wang J Q, Chen H. Implementation of IEEE 1588 precision clock synchronization protocol based on ARM[J]. Chinese Journal of Electron Devices, 2019, 42(6): 1527 - 1531. (in Chinese)
- [2] 郑翊. 基于 IEEE 1588 的高精度时间同步技术分析[J]. 无线电工程, 2019, 49(6): 545 - 550.
Zheng Y. Analysis on high-precision time synchronization technique based on IEEE 1588 [J]. Radio Engineering, 2019, 49(6): 545 - 550. (in Chinese)
- [3] Zhang Q, Ding J. Design of IEEE 1588 power precise time synchronization system [A]. Proceedings of 2019 International Conference on Artificial Intelligence, Control and Automation Engineering (AICAE 2019) [C]. Wuhan, China: Advanced Science and Industry Research Center, 2019. 191 - 197.
- [4] 王康, 胡永辉, 何在民. 基于 DP83640 硬件辅助的 IEEE 1588 研究及实现[J]. 时间频率学报, 2011, 34(1): 1 - 8.
Wang K, Hu Y H, He Z M. Study and implementation of hardware-assisted IEEE 1588 based on DP83640 [J]. Journal of Time and Frequency, 2011, 34(1): 1 - 8. (in Chinese)
- [5] 王旭, 陈晔, 郑宾. 基于 IEEE 1588 协议的时钟同步软件实现及改进[J]. 自动化技术与应用, 2020, 39(6): 66 - 71.
Wang X, Chen Y, Zheng B. Software implementation and improvement of clock synchronization based on IEEE 1588 protocol [J]. Techniques of Automation and Applications, 2020, 39(6): 66 - 71. (in Chinese)
- [6] 庾智兰, 李智. 精确时钟同步协议最佳主时钟算法[J]. 电力自动化设备, 2009, 29(11): 74 - 77.
YU Zhilan, LI Zhi. Best master clock algorithm of precision clock synchronization protocol [J]. Electric Power Automation Equipment, 2009, 29(11): 74 - 77. (in Chinese)
- [7] 唐雪松. 基于 STM32F407 的 IEEE1588 从时钟设计与实现[D]. 大连: 大连理工大学, 2014.
Tang X S. Design and Practice of IEEE1588 Slave Clock Based on STM32F407 [D]. Dalian, China: Dalian University of Technology, 2014. (in Chinese)
- [8] 戴宝峰, 崔少辉, 常健. IEEE1588 最佳主时钟算法的分析与实现[J]. 仪表技术, 2008, (2): 29 - 31 + 34.
Dai B F, Cui S H, Chang J. Implementation and analysis of best master clock algorithm of IEEE1588 [J]. Instrumentation Technology, 2008, (2): 29 - 31 + 34. (in Chinese)

- [9] Han M Y, Guo H, Crossley P. IEEE 1588 time synchronisation performance for IEC 61850 transmission substations [J]. *International Journal of Power & Energy Systems*, 2019, 107: 264 – 272.
- [10] 王创, 郑宾. 交互式多模型 IEEE 1588 时钟同步算法 [J]. *自动化技术与应用*, 2019, 38(4): 13 – 17.
Wang C, Zheng B. Interactive multi-model IEEE 1588 clock synchronization algorithm [J]. *Techniques of Automation and Applications*, 2019, 38(4): 13 – 17. (in Chinese)
- [11] Girela-López F, López-Jiménez J, Jiménez-López M, et al. IEEE 1588 high accuracy default profile: Application sand challenges [J]. *IEEE Access*, 2020, (8): 45211 – 45220.
- [12] Zhang J H, Zhang W A. A disturbance rejection control approach for clock synchronization in IEEE 1588 networks [J]. *Journal of Systems Science & Complexity*, 2018, 31(6): 1437 – 1448.
- [13] 张端阳, 肖力, 付忠敏. 基于 STM32F407 的精确时钟同步协议的实现 [J]. *计算机与数字工程*, 2018, 46(3): 620 – 626.
Zhang D Y, Xiao L, Fu Z M. Realization of accurate clock synchronization protocol based on STM-32F407 [J]. *Computer & Digital Engineering*, 2018, 46(3): 620 – 626. (in Chinese)
- [14] Yin H, Fu P, Qiao J, et al. The implementation of IEEE 1588 clock synchronization protocol based on FPGA [A]. 2018 IEEE International Instrumentation and Measurement Technology Conference (I2MTC) [C]. Houston, Texas, USA: IEEE, 2018. DOI: 10.1109/I2MTC.2018.8409617.
- [15] Esquembri S, Sanz D, Barrera E, et al. Hardware time-stamping for an image acquisition system based on FlexRIO and IEEE 1588 v2 standard [J]. *IEEE Transactions on Nuclear ence*, 2016, 63(1): 228 – 235.
- [16] 王頔, 白桦, 唐晓铭, 等. 分布式全局精确时钟同步状态追踪: 能观测性观测器分析 [J]. *电子学报*, 2019, 47(9): 1855 – 1862.
Wang T, Bai H, Tang X M, et al. Distributed global precise clock synchronization state tracking: Analysis of observable observer [J]. *Acta Electronica Sinica*, 2019, 47(9): 1855 – 1862. (in Chinese)
- [17] 张萌. 基于 BP 神经网络的高精度本地多基准时钟合成算法研究 [J]. *电子学报*, 2019, 47(8): 1618 – 1625.
Zhang M. Research on high-precision local multi reference clock synthesis algorithm based on BP neural network [J]. *Acta Electronica Sinica*, 2019, 47(8): 1618 – 1625. (in Chinese)
- [18] Altaha M, Rhee J M. Fault tolerance for IEEE 1588 based on network bonding [J]. *Journal of Korea Institute of Information, Electronics, and Communication Technology*, 2018, 11(4): 331 – 339.
- [19] Wang T F, Yao Z, Lu M Q. Mesh topology based clock synchronization technique for pseudolite systems [J]. *Navigation*, 2020, 67(3): 619 – 632.
- [20] Tian R Y, Zhang J J, Zhang S, et al. A high-precision energy-efficient GPS time-sync method for high-density seismic surveys [J]. *Applied Sciences*, 2020, 10(11): 37 – 68.

作者简介



孙建鹏 男, 1994 年 10 月生, 黑龙江大庆人. 硕士. 主要研究方向为极端环境下的测试仪器及传感器方面研究.

E-mail: ssjpp163@163.com



熊继军 男, 1971 年 8 月生, 湖北浠水人, 工学博士, 教授、博士生导师, 2003 年清华大学获工学博士学位. 发表 SCI 收录学术论文 100 余篇, 授权国家发明专利 70 余项, 出版著作 3 部, 现为中北大学校长. 主要研究方向为微纳传感器器件与系统.

E-mail: xiongjijun@nuc.edu.cn